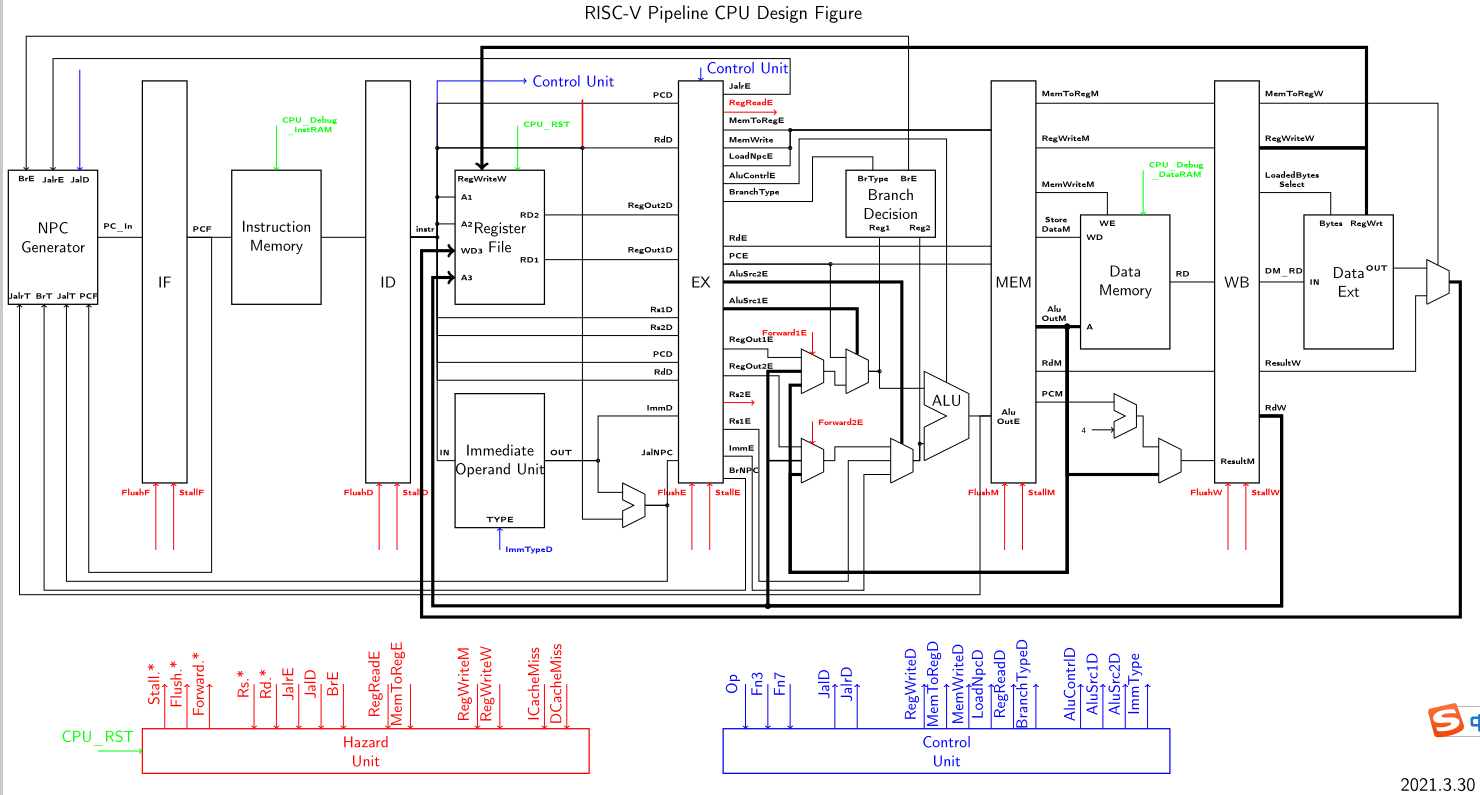
体系结构LAB1实验报告

1. 流水线通路：

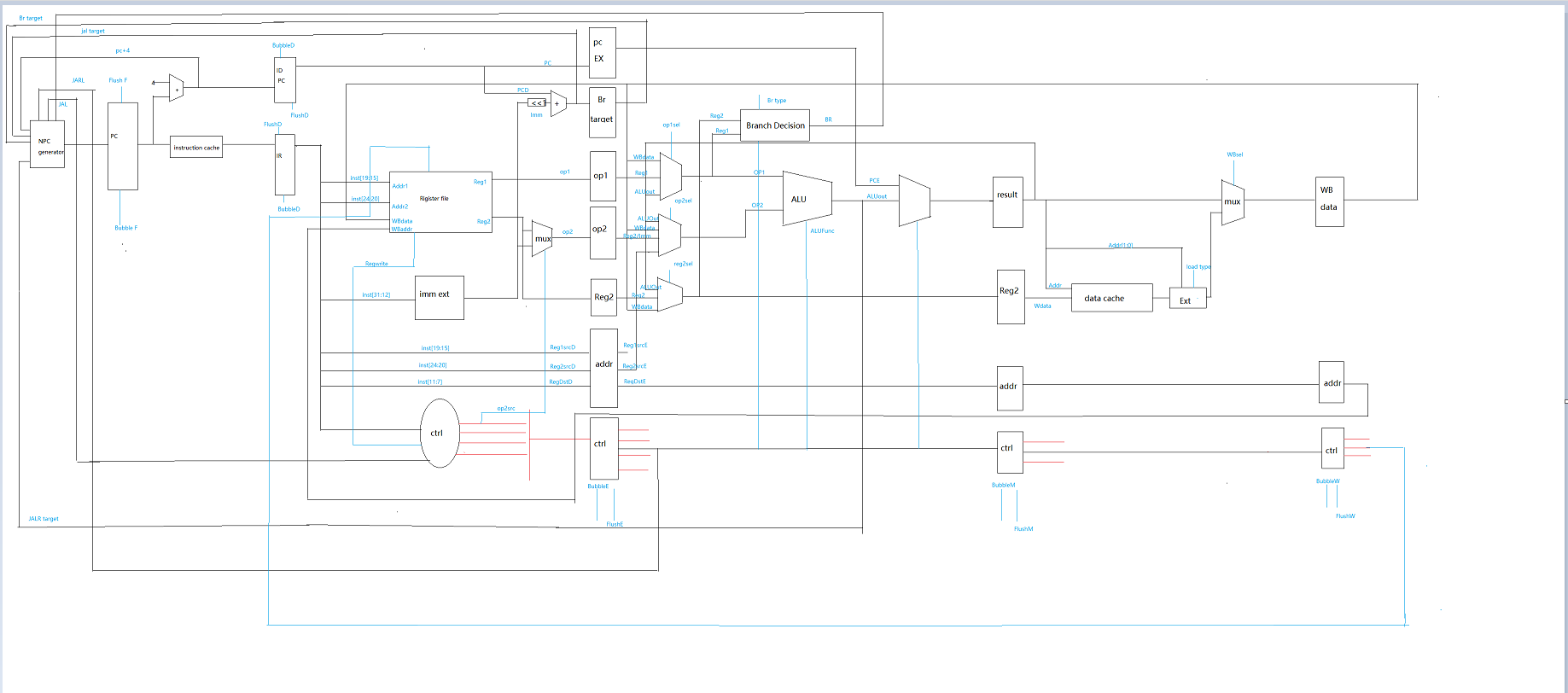
针对助教给出的图几个有问题的地方：

1. ID段中对于JAL目标跳转地址的形成，应该是J立即数编码的2的倍数的有符号偏移量符号扩展，加到PC上，因此ALU加法器的连线应该是immd以及PCD
2. Mem段中的加法器一端是PCM,另一端应该为4，而不是0



自己的数据通路：

1. 对于助教给出的流水线图，感觉和五段流水不太吻合，因此根据老师ppt对最开始的一部分做了修改
2. 在ID/EX段对于op2进行选择（助教给出的图是imm和Reg2还要传一段，在EX/ME段进行选择），修改的依据主要是避免EX/ME段延时过长，可以减少一个选择器到前一段。
3. 对于WB段直接执行回传的任务，而不再是要经过Data Ext,将Data Ext部件提前到了ME段.



1. 回答问题

1.描述执行一条 XOR 指令的过程（数据通路、控制信号等）。

答：IF:更新pc，取出本条XOR指令

ID:识别出为XOR指令；同时从寄存器堆中读出rs1和rs2的值

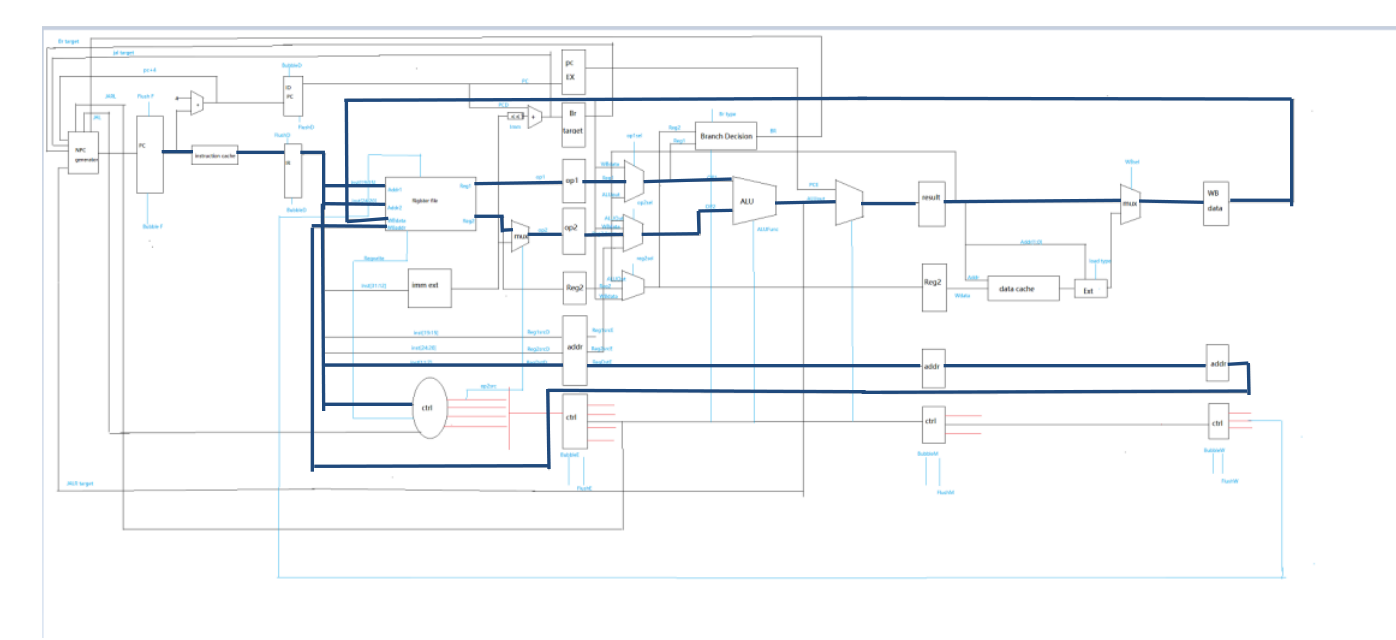
EX:两个操作数进入ALU中进行异或运算，得到结果暂存寄存器，并将写回的地址再向前传递。

ME:上一个阶段算出的结果继续向下传递，写回的地址继续向前传递。

WB:准备好写回地址以及计算的结果，写入寄存器堆中

控制信号：op2src选通寄存器的值，op1sel选通寄存器的值，op2sel选通寄存器的值，ALUFunc选XOR,LoadNPC选择ALU输出，WBsel选择result寄存器中的值，Regwrite为1.其余的信号为0（或不触发）

数据通路图（红线画出）：



2. 描述执行一条 BEQ 指令的过程（数据通路、控制信号等）

答：IF：更新pc,取本条指令BEQ指令

ID:识别出为BEQ指令；同时从寄存器堆中读出rs1和rs2的值

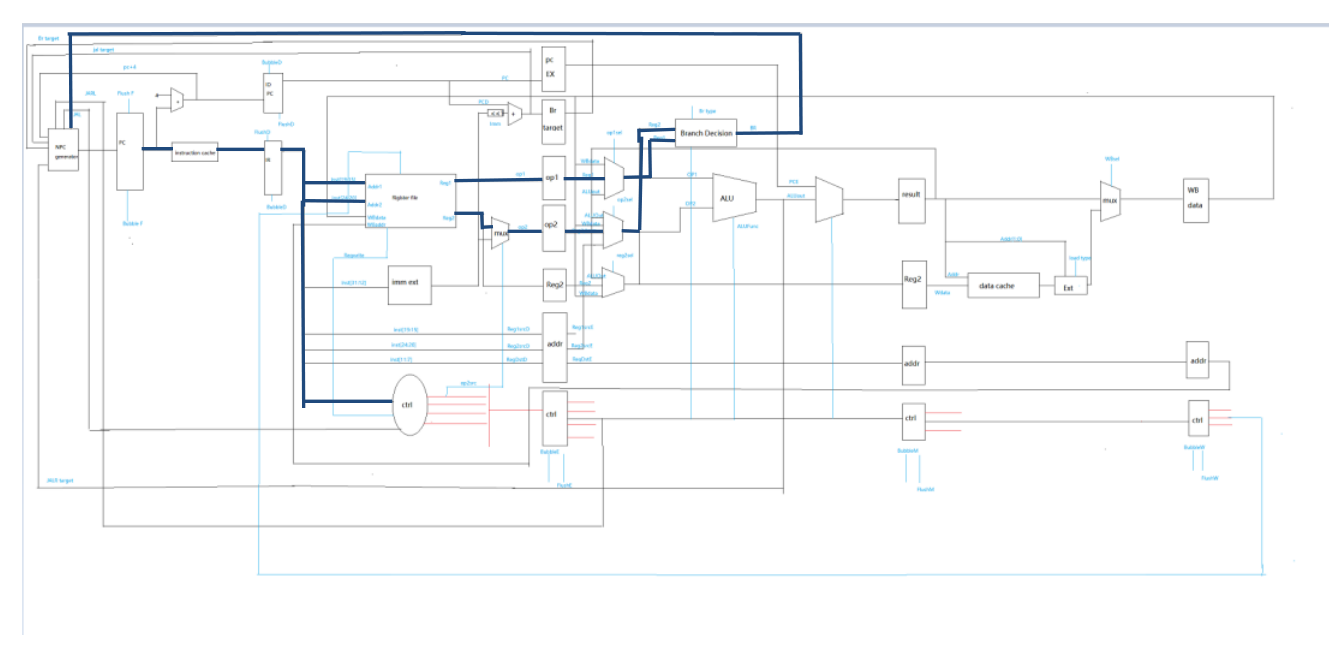
EX：将两个操作数送入Branch Decision单元，若分支成功，则在下一个时钟周期上升沿便跳转到分支指令应该跳转到的地址；若没有分支，则什么都不做。

ME：若分支成功则没有这个阶段；若分支失败，则什么都不做

WB：若分支成功则没有这个阶段；若分支失败，则什么都不做

控制信号：op2src选通寄存器的值，op1sel选通寄存器的值，op2sel选通寄存器的值，Brtype为BEQ；若BrE为1，则IF/ID,ID/EX段寄存器的Flush为1，PC更新。

数据通路：



3. 描述执行一条 LHU 指令的过程（数据通路、控制信号等）

答：IF：更新pc,取本条指令LHU指令

ID：识别出为LHU指令；同时rs1的值读出来，立即数被扩展后选择器选择立即数送到段寄存器

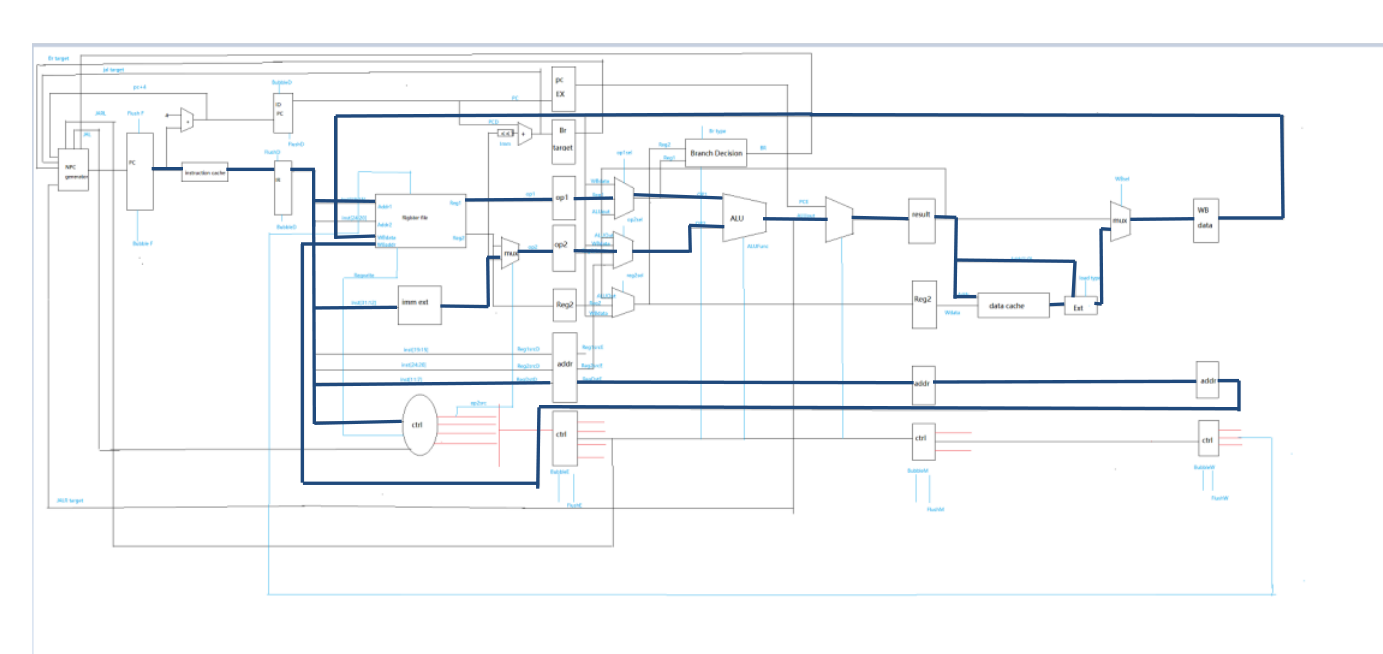
EX:执行加法操作，得到的结果暂存在寄存器中，继续传递

ME:段寄存器中的结果作为地址去进行数据的读取，通过loadtype来决定取多长的数据

WB:写回寄存器

控制信号：op2src选通扩展后imm的值，op1sel选通寄存器的值，op2sel选通寄存器的值，ALUFunc选ADD，loadtype选择LHU符合的，WBsel选择从Data ext出来的数据，Regwrite为1.其余的信号为0（或不触发）.

数据通路为：



4. 如果要实现 CSR 指令（csrrw，csrrs，csrrc，csrrwi，csrrsi，csrrci），设计图中还需要增加什么部件和数据通路？给出详细说明。

答：CSR类指令的作用为：取出CSR中的数据，扩展运算后写入rd;取rs1中的值或按照rs1/zimm运算后写入CSR.

应添加的部件有：1.CSR旧值的暂存寄存器在ID段，从寄存器堆中读出来后放入；

2.同时从寄存器堆读出来后的数据要相应的添加一个零扩展部件将其进行扩展；

3.改写寄存器堆，输入端口有inst[31:20],同时也有读写使能；

4.在ID段后的流水线段间寄存器中也要加入CSR寄存器，以便最后将CSR中的值写回rd;

5.ALU要进行相应的功能上的扩展，以实现按位掩码功能，输入是rs1中的值或零扩展的立即数的值与CSR中的旧值，根据func3判断对应位置为0还是为1

6.相应的ALU两个操作数的来源也要增加，分别增加零扩展的立即数以及CSR中的旧值

数据通路：

IF：更新pc,取得CSR大类的一条指令

ID：从进行了CSR扩展的寄存器堆中读出CSR旧值，并进行扩展；从寄存器堆读出rs1的值并直接从指令中读出立即数的值，将立即数0扩展；

EX:按照指令的操作，选择相应的操作数；对ALU中的两个操作数进行按位掩码操作，结果进行暂存

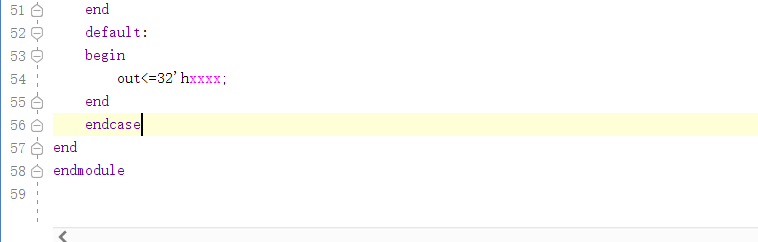
ME：将上一阶段ALU算出来的值可以先写回寄存器堆，达到更新CSR

WB:将传下来的CSR的旧值写入rd

5.Verilog 如何实现立即数的扩展？

答：如下图：





6.如何实现 Data Cache 的非字对齐的 Load 和 Store？

答：将地址进行模4处理，得到的余数便是4个对应的存储空间，然后根据lw和sw指令进行存取。

7.ALU 模块中，默认 wire 变量是有符号数还是无符号数？

无符号数

8.简述BranchE信号的作用。

答：BrE信号是表示分支的条件一旦成立，便将BrE信号置为1，从而PC在下一个时钟上升沿会取Branch\_addr作为下一个指令的地址

9.NPC Generator 中对于不同跳转 target 的选择有没有优先级？

有优先级，因为beq和jalr跳转的地址是在EX段被计算出来，而jal地址是在ID段被计算出来;如果beq或者jalr指令后跟了一条jal指令，当beq和jalr指令位于EX段时，jal位于ID段，则需要划分优先级。通常处于EX段的beq和jalr的优先级会更高。

10.Harzard 模块中，有哪几类冲突需要插入气泡，分别使流水线停顿几个周期？

答：有数据冲突时。

Load指令后跟了一条需要读Load指令中写寄存器的值（如ALU指令），需要在后者的IF段插入一个气泡。

11.Harzard 模块中采用静态分支预测器，即默认不跳转，遇到 branch 指令时，如何控制 flush 和stall信号？

答：1.branch指令进入流水线的ID段，译码后被认定为跳转指令；2.EX段时，branch指令不跳转的下一条指令进入译码段 3.若跳转的结果不成立，则无flush;若跳转的结果成立，则将IF/ID,ID/EX段寄存器的flush置为1，stall为0

12.0 号寄存器值始终为 0，是否会对 forward 的处理产生影响？

答：有可能会。假如用户向0号寄存器写入一个非0值，那么forward后本该得到0的指令却得到了非0的值，便产生了错误